

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-117996

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月20日

H 04 N 11/20

7033-5C

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 テレビジョン方式変換装置

⑯ 特 願 平1-256204

⑰ 出 願 平1(1989)9月29日

⑱ 発 明 者 山 根 深 雪 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 杉浦 正知

明 細 書

1. 発明の名称

テレビジョン方式変換装置

2. 特許請求の範囲

奇数フィールド及び偶数フィールドの入力テレビジョン信号を夫々記憶するための第1及び第2のメモリと、

ラインメモリを有し、ラインメモリの入力側及び出力側のビデオ信号から内挿データを形成する第1及び第2の内挿回路と、

上記第1及び第2のメモリの読出し側と上記第1及び第2の内挿回路との間に設けられた第1の信号選択手段と、

上記第1及び第2の内挿回路の内の一方の出力信号を選択するための第2の信号選択手段とを備えたことを特徴とするテレビジョン方式変換装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、テレビジョン方式変換装置、特にテレビジョン信号のライン数変換を行う構成に特

性を有するテレビジョン方式変換装置に関する。

(発明の概要)

この発明では、テレビジョン方式変換装置に於いて、奇数フィールド及び偶数フィールドの入力テレビジョン信号を夫々記憶するための第1及び第2のメモリと、ラインメモリを有し、ラインメモリの入力側及び出力側のビデオ信号から内挿データを形成する第1及び第2の内挿回路と、第1及び第2のメモリの読出し側と第1及び第2の内挿回路との間に設けられた第1の信号選択手段と、第1及び第2の内挿回路の内の一方の出力信号を選択するための第2の信号選択手段とを備えたことにより、既存のIC化されたフィールド内内挿用の回路を用いてフィールド内内挿と、フィールド間内挿を、選択的に行えるようにしたものである。

(従来技術)

テレビジョンの放送方式には、NTSC方式、

PAL方式及びSECAM方式等があり、これらの間で方式変換を行うためにテレビジョン方式変換装置が用いられている。

テレビジョン放送の方式変換の場合にはフィールド数及びライン数、双方の変換が必要とされる。上述のフィールド数及びライン数の変換の内、ライン数の変換を行うためには、ライン内挿が必要となる。ライン内挿には、フィールド内内挿、フィールド間内挿の2通りがある。

第4図中、実線で示されるラインL2、L4を偶数フィールドのラインとし、破線で示されるラインL1、L3を奇数フィールドのラインとした場合、上述のフィールド内内挿は、同一フィールド内の隣接ライン、例えば、第4図に示されるラインL1及びL3のデータを用いて、新たなラインL1のデータを内挿するものである。また、フィールド間内挿は、隣接フィールド間で最も近いライン、例えば、第4図に示されるラインL1及びL2のデータを用いて、新たなラインL3のデータを内挿するものである。

k)と乗算され、乗算データが加算器53に供給される。一方、端子54には現フィールドに於けるラインのデータが供給され、このラインのデータは、乗算器55で所定の係数kが乗算され、乗算データが加算器53に供給される。加算器53にて上述の2つの乗算データが加算され、得られた加算データが端子56から取出される。

しかしながら、第6図の構成では内挿を行うことはできず、実際のテレビジョン放送方式の変換を行うことはできない。つまり、フィールドメモリ51の入出力側に於けるフィールド周波数が異なるため、端子54からの入力と、フィールドメモリ51からの出力とによって内挿データを求めることはできないからである。

そこで、フィールド間内挿を行うために、例えば、第7図のような構成が必要とされる。

第7図の構成に於いて、入力テレビジョン信号がデジタル化された後、端子71から供給される。奇数フィールドの場合には、入力テレビジョン信号のデータはスイッチ72を介してフィールドメ

上述のフィールド内内挿を行う回路としては、例えば、第5図に示されるようなものがある。即ち、ラインメモリ41ではラインL1のデータが1H遅延せしめられる。端子42にラインL3のデータが供給されるタイミングでは、ラインL1のデータがラインメモリ41から出力され乗算器43にて係数(1-k)と乗算された後に、乗算データが加算器44に供給される。また端子42から供給されるラインL3のデータは、乗算器45にて係数kと乗算され、乗算データが加算器44に供給される。加算器44にて、上述の2つの乗算データが加算され、得られた加算データが端子46から取出される。これによって、ラインL1の内挿がなされる。

またフィールド間内挿を行う回路としては、例えば、第6図に示されるようなものがある。即ち、フィールドメモリ51には、前のフィールドのデータが保持されており、このフィールドメモリ51から前のフィールドに於ける各ラインのデータが読み出され、乗算器52で所定の係数(1-

メモリ73に供給され、偶数フィールドの場合には、スイッチ72を介してフィールドメモリ74に供給される。

そして、フィールドメモリ73から、例えば、ラインL1のデータが読み出されると、このラインL1のデータは、乗算器75で所定の係数(1-k)と乗算され、乗算データが加算器76に供給される。また、フィールドメモリ74から、上述のラインL1に対応するラインL2のデータが読み出されると、乗算器77で所定の係数kと乗算され、乗算データが加算器76に供給される。加算器76にて、上述の2つの乗算データが加算され、得られた加算データが端子78から取出され、これによって、ラインL2の内挿がなされる。

(発明が解決しようとする課題)

しかしながら、従来の技術では、フィールド内内挿、フィールド間内挿は、夫々、専用の回路を用いて別々に行われることが一般的であった。従って、第5図に示されるフィールド内内挿回路、

第7図に示されるフィールド間内挿回路を組み合わせて、フィールド内、フィールド間の双方の内挿を選択的に行うようなことはなされていなかった。

従って、この発明の目的は、既存のIC化されたフィールド内内挿用の回路を用いて、フィールド内、フィールド間の双方の内挿を、選択的に行うことのできるテレビジョン方式変換装置を提供することにある。

〔課題を解決するための手段〕

この発明では、奇数フィールド及び偶数フィールドの入力テレビジョン信号を夫々記憶するための第1及び第2のメモリと、ラインメモリを有し、ラインメモリの入力側及び出力側のビデオ信号から内挿データを形成する第1及び第2の内挿回路と、第1及び第2のメモリの読出し側と第1及び第2の内挿回路との間に設けられた第1の信号選択手段と、第1及び第2の内挿回路の内の一方の出力信号を選択するための第2の信号選択手段と

を備えた構成としている。

〔作用〕

入力テレビジョン信号のデータが、偶数フィールド、奇数フィールドの区別に応じて、第1或いは第2のメモリに記憶される。第1或いは第2のメモリのデータは、第1の信号選択手段によって選択的に、内挿データを形成するための第1及び第2の内挿回路に供給される。そして、第1及び第2の内挿回路で形成された内挿データは、第2の信号選択手段によって、選択的に取出される。これによってライン内挿が行われる。

〔実施例〕

以下、この発明の一実施例について、第1図乃至第3図を参照して説明する。

第1図の構成に於いて、或る放送方式、例えばPAL方式或いはSECAM方式に基づく入力テレビジョン信号が端子1、A/Dコンバータ2を介して、スイッチ回路3の端子3aに供給される。

スイッチ回路3には、偶数フィールド、奇数フィールドを判別するための判別信号SIDが、端子4を介して供給され、この判別信号SIDによって、スイッチ回路3の接続が切り替えられる。例えば、偶数フィールドの場合には、スイッチ回路3の端子3a、3cが接続されて、フィールドメモリ5に入力テレビジョン信号のデータが書き込まれ、奇数フィールドの場合には、スイッチ回路3の端子3a、3bが接続されて、フィールドメモリ6に、入力テレビジョン信号のデータが書き込まれる。

上述のフィールドメモリ5、6からは、入力テレビジョン信号のデータが、8ビットパラレルで、1H毎にクロスセクタ7に供給される。クロスセクタ7は、端子8を介して供給されるスイッチ制御信号SSHによって接続状態が1H毎(H:水平走査期間)に逆相になるように制御されている2つのスイッチ回路9、10によって構成されている。

スイッチ回路9、10に供給されるスイッチ制

御信号SSHが、例えば、ハイレベルである水平走査期間の時は、スイッチ回路9の端子9a、9c、スイッチ回路10の端子10a、10cが夫々接続されるようになされている。スイッチ制御信号SSHのレベルがローレベルである水平走査期間の時、クロスセクタ7の接続状態は、スイッチ制御信号SSHがハイレベル時の接続状態に対し、逆相とされる。即ち、スイッチ回路9の端子9b、9c、スイッチ回路10の端子10b、10cが接続されるようになされている。フィールドメモリ5、6からの出力データは、上述のクロスセクタ7を介して、2つのライン内挿回路11、12に供給される。

このライン内挿回路11、12は、フィールド内内挿用の回路であり、既にIC化されているものである。このライン内挿回路11、12に、例えば、入力テレビジョン信号の第n番目のラインのデータが1Hの遅延量を有するラインメモリ13、14に供給されると共に、乗算器15、16に供給される。ラインメモリ13、14からは、

第 $(n-1)$ 番目のラインのデータが出力され、乗算器17、18に供給される。乗算器17、18では、ラインメモリ13、14から出力された第 $(n-1)$ 番目のラインのデータに対し、係数 $(1-k)$ が乗算され、この乗算データが加算器19、20に供給される。乗算器15、16では、フィールドメモリ5、6から出力された第 n 番目のラインのデータに対し係数 (k) が乗算され、この乗算データが加算器19、20に供給される。

加算器19、20では、係数 $(1-k)$ が乗算された乗算データと、係数 (k) が乗算された乗算データが加算される。この加算データはスイッチ回路21の端子21a、21bに供給される。

ライン内挿回路11、12の内、一方では、後述するように入力テレビジョン信号の放送方式とは異なる他の放送方式、例えばNTSC方式に基づくテレビジョン信号のラインのデータが形成されるので、スイッチ回路21の制御によってテレビジョン信号の各ラインのデータが取り出される。

スイッチ回路21は、例えば、半導体スイッチ

で構成されており、このスイッチ回路21は、端子22を介して供給される制御信号Scによって、1H毎のタイミングで切替えられる。尚、このスイッチ回路21の切り替えのタイミングは、前述のスイッチ回路9、10と同期するようになされている。このスイッチ回路21を介して、テレビジョン信号のデータがD/Aコンバータ23に供給される。テレビジョン信号のデータは、D/Aコンバータ23によってアナログ化され、アナログ化されたテレビジョン信号が端子24から取出される。

この実施例に示されるスイッチ回路3、9、10は、例えば、スイッチ回路として示されているが、これに限定されるものではなく、フィールドメモリ5、6、ラインメモリ13、14の書き込みコントロールによって同様の動作を行わせても良い。

次いで、第2図及び第3図を例に動作を説明する。尚、第2図中、実線は偶数フィールドのラインL1B~L6Bを示し、破線は奇数フィールドのラ

インL1A~L6Aを示している。尚、内挿に用いるラインを示す第3図中、D1、D2はラインメモリ13、14の出力を表し、T1、T2はスイッチ9、10からの出力を表す。

第2図に示されるように、この発明ではPAL方式或いはSECAM方式からNTSC方式への方式変換がなされるため、ライン数変換は、 $(6:5)$ の比にて行なわれ、X印の付されたラインL3A、L5Bのデータは、間引かれて、フィールドメモリ5、6から読み出されることがなく、このラインL3A、L5Bのデータの読み出されるタイミングでは、次のラインL3B、L6Aのデータが読み出される。

スイッチ回路9は端子9a、9cが接続され、スイッチ回路10は端子10a、10cが接続されている時、フィールドメモリ6からは第2図に示されるラインL1Aのデータがライン内挿回路11に供給され、このラインL1Aのデータがラインメモリ13で1H遅延せしめられる。尚、このタイミングでは、フィールドメモリ5からは、ライ

ンL1Bのデータが出力されない。

次いで、スイッチ回路9、10、21の接続が切り替えられる。即ち、スイッチ回路9は端子9b、9cが接続され、スイッチ回路10は端子10b、10cが接続され、スイッチ回路21は端子21a、21cが接続される。このタイミングでは、フィールドメモリ6からはラインL2Aのデータがライン内挿回路12に供給され、ラインL2Aのデータがラインメモリ14で1H遅延せしめられる。また、フィールドメモリ5からはラインL1Bのデータがライン内挿回路11に供給され、ラインL1Bのデータがラインメモリ13で1H遅延せしめられる。

これによって、第3図に示されるように、ラインメモリ13から出力されたラインL1Aのデータに、乗算器17で係数 $(1-k)$ が掛けられ、加算器19に供給される。また、ラインL1Bのデータは、乗算器15にて係数 (k) が掛けられ、加算器19に供給される。加算器19にて、上述の2つのデータが加算されスイッチ回路21に出力

特開平3-117996 (5)

される。

この加算出力によって、入力テレビジョン信号の放送方式とは異なる他の放送方式、例えばNTSC方式に基づくテレビジョン信号に於ける新たなライン1のデータ ($l_1 = (L1A) \times (1-k) + (L1B) \times k$) が形成される。このライン1のデータは、スイッチ回路21、D/Aコンバータ23を経て端子24から取出される。

次いで、スイッチ回路9、10、21の接続が切り替えられる。即ち、スイッチ回路9は端子9a、9cが接続され、スイッチ回路10は端子10a、10cが接続され、スイッチ回路21は端子21b、21cが接続される。このタイミングでは、フィールドメモリ6からはラインL3Aが間引かれるため、ラインL4Aのデータがライン内挿回路11に供給され、ラインL4Aのデータがラインメモリ13で1H遅延せしめられる。また、フィールドメモリ5からはラインL2Bのデータがライン内挿回路12に供給され、ラインL2Bのデータがラインメモリ14で1H遅延せしめられる。

られる。また、フィールドメモリ5からはラインL3Bのデータがライン内挿回路11に供給され、ラインL3Bのデータがラインメモリ13で1H遅延せしめられる。

これによって、第3図に示されるように、ラインメモリ13から出力されたラインL4Aのデータに、乗算器17で係数 $(1-k)$ が掛けられ、加算器19に供給される。また、ラインL3Bのデータは、乗算器15にて係数 (k) が掛けられ、加算器19に供給される。加算器19にて、上述の2つのデータが加算されスイッチ回路21に出力される。

この加算出力によって、新たなライン1のデータ ($l_3 = (L4A) \times (1-k) + (L3B) \times k$) が形成される。以後の内容は、前述のライン1と同様のため重複する説明を省略する。

次いで、スイッチ回路9、10、21の接続が切り替えられる。即ち、スイッチ回路9は端子9a、9cが接続され、スイッチ回路10は端子10a、10cが接続され、スイッチ回路21は端

これによって、第3図に示されるように、ラインメモリ14から出力されたラインL2Aのデータに、乗算器18で係数 $(1-k)$ が掛けられ、加算器20に供給される。また、ラインL2Bのデータは、乗算器16にて係数 (k) が掛けられ、加算器20に供給される。加算器20にて、上述の2つのデータが加算されスイッチ回路21に出力される。

この加算出力によって、新たなライン1のデータ ($l_2 = (L2A) \times (1-k) + (L2B) \times k$) が形成される。以後の内容は、前述のライン1と同様のため重複する説明を省略する。

次いで、スイッチ回路9、10、21の接続が切り替えられる。即ち、スイッチ回路9は端子9b、9cが接続され、スイッチ回路10は端子10b、10cが接続され、スイッチ回路21は端子21a、21cが接続される。このタイミングでは、フィールドメモリ6からはラインL5Aのデータがライン内挿回路12に供給され、ラインL5Aのデータがラインメモリ14で1H遅延せしめ

子21b、21cが接続されている。このタイミングでは、フィールドメモリ6からはラインL6Aのデータがライン内挿回路11に供給され、ラインL6Aのデータがラインメモリ13で1H遅延せしめられる。また、フィールドメモリ5からはラインL4Bのデータがライン内挿回路12に供給され、ラインL4Bのデータがラインメモリ14で1H遅延せしめられる。

これによって、第3図に示されるように、ラインメモリ14から出力されたラインL5Aのデータに、乗算器18で係数 $(1-k)$ が掛けられ、加算器20に供給される。また、ラインL4Bのデータは、乗算器16にて係数 (k) が掛けられ、加算器20に供給される。加算器20にて、上述の2つのデータが加算されスイッチ回路21に出力される。

この加算出力によって、新たなラインのデータ l_4 ($l_4 = (L5A) \times (1-k) + (L4B) \times k$) が形成される。以後の内容は、前述のライン1と同様のため重複する説明を省略する。

次いで、スイッチ回路9、10、21の接続が切り替えられる。即ち、スイッチ回路9は端子9b、9cが接続され、スイッチ回路10は端子10b、10cが接続され、スイッチ回路21は端子21a、21cが接続される。このタイミングでは、フィールドメモリ5からはラインL5Bが間引かれるため、ラインL6Bのデータがライン内挿回路11に供給され、ラインL6Bのデータがラインメモリ13で1H遅延せしめられる。また、フィールドメモリ6からはラインL1Aのデータがライン内挿回路12に供給され、ラインL1Aのデータがラインメモリ14で1H遅延せしめられる。

これによって、第3図に示されるように、ラインメモリ13から出力されたラインL6Aのデータに、乗算器17で係数 $(1-k)$ が掛けられ、加算器19に供給される。また、ラインL6Bのデータは、乗算器15にて係数 (k) が掛けられ、加算器19に供給される。加算器19にて、上述の2つのデータが加算されスイッチ回路21に出力される。

タは、乗算器16にて係数 (k) が掛けられ、加算器20に供給される。加算器20にて、上述の2つのデータが加算されスイッチ回路21に出力される。

この加算出力によって、新たなラインL6のデータ $[L6 = (L1A) \times (1-k) + (L1B) \times k]$ が形成される。以後の内容は、前述のラインL1と同様のため重複する説明を省略する。

次いで、スイッチ回路9、10、21の接続が切り替えられる。即ち、スイッチ回路9は端子9b、9cが接続され、スイッチ回路10は端子10b、10cが接続され、スイッチ回路21は端子21a、21cが接続されている。このタイミングでは、フィールドメモリ6からはラインL4Aのデータがライン内挿回路12に供給され、ラインL4Aのデータがラインメモリ14で1H遅延せしめられる。また、フィールドメモリ5からはラインL2Bのデータがライン内挿回路11に供給され、ラインL2Bのデータがラインメモリ13で1H遅延せしめられる。

この加算出力によって、新たなラインL5のデータ $[L5 = (L6A) \times (1-k) + (L6B) \times k]$ が形成される。以後の内容は、前述のラインL1と同様のため重複する説明を省略する。

次いで、スイッチ回路9、10、21の接続が切り替えられる。即ち、スイッチ回路9は端子9a、9cが接続され、スイッチ回路10は端子10a、10cが接続され、スイッチ回路21は端子21b、21cが接続される。このタイミングでは、フィールドメモリ6からはラインL2Aのデータがライン内挿回路11に供給され、ラインL2Aのデータがラインメモリ13で1H遅延せしめられる。また、フィールドメモリ5からはラインL1Bのデータがライン内挿回路12に供給され、ラインL1Bのデータがラインメモリ14で1H遅延せしめられる。

これによって、第3図に示されるように、ラインメモリ14から出力されたラインL1Aのデータに、乗算器18で係数 $(1-k)$ が掛けられ、加算器20に供給される。また、ラインL1Bのデ

これによって、第3図に示されるように、ラインメモリ13から出力されたラインL2Aのデータに、乗算器17で係数 $(1-k)$ が掛けられ、加算器19に供給される。また、ラインL2Bのデータは、乗算器15にて係数 (k) が掛けられ、加算器19に供給される。加算器19にて、上述の2つのデータが加算されスイッチ回路21に出力される。

この加算出力によって、新たなラインL1のデータ $[L1 = (L2A) \times (1-k) + (L2B) \times k]$ が形成される。以後の内容は、前述のラインL1と同様のため重複する説明を省略する。

ところで、上述の実施例では、フィールド内内挿用の回路を用いてフィールド間内挿を行う例について説明されているが、スイッチ回路9、10の接続を固定状態にしておくことによって、フィールド内内挿を行うことができる。即ち、スイッチ回路9の端子9a及び9c、スイッチ回路10の端子10a及び10c、或いはスイッチ回路9の端子9b及び9c、スイッチ回路10の端子1

0b及び10cの接続を固定状態にしておくことによって、偶数フィールド、奇数フィールドの夫々に於けるフィールド内内挿を行うことができる。

このように、フィールドメモリ5、6の出力を選択的に、IC化されているフィールド内内挿用のライン内挿回路11、12に供給し、その内挿データを選択的に取り出して、テレビジョン信号を一方の放送方式、例えばPAL方式或いはSECAM方式から他方の放送方式、例えばNTSC方式に変換しているので、既存のIC化されているライン内挿回路11、12を用いてフィールド内内挿は勿論のこと、フィールド間のライン内挿をも行うことができる。また、既にIC化されたフィールド内内挿用のライン内挿回路11、12を用いているため、新たにICを開発する必要がなく、そして、フィールド間内挿を行うので、画質向上が可能になる。

この実施例では、PAL方式或いはSECAM方式からNTSC方式への方式変換を行っているが、これに限定されるものではなく、NTSC方

式からPAL方式或いはSECAM方式に方式変換するようしても良いものである。

更に、ライン数を、例えば1050本、1125本、1250本といったように、多くするテレビジョン方式が提案されているが、この発明は、これら方式間のライン数変換に対しても、適用することができる。

〔発明の効果〕

この発明に係るテレビジョン方式変換装置によれば、既存のIC化されたフィールド内内挿用のライン内挿回路を用いてフィールド内内挿と、フィールド間内挿を選択的に行うことができるという効果がある。

また、既存のIC化されたフィールド内内挿用のライン内挿回路を用いているため、新たにICを開発する必要がないという効果がある。

そして、フィールド間内挿を行うので、テレビジョン方式変換装置として、画質向上が可能になるという効果がある。

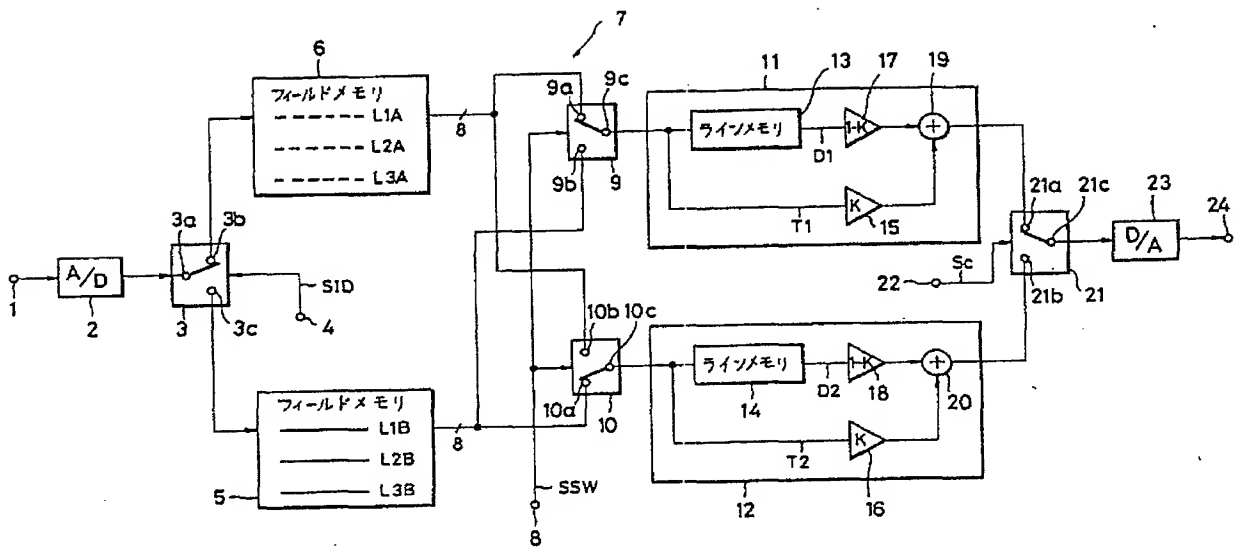
4. 図面の簡単な説明

第1図はこの発明の一実施例を示すブロック図、第2図及び第3図は夫々フィールド間内挿の例を説明する略線図、第4図はフィールド間内挿とフィールド内内挿の概念図、第5図は従来のフィールド内内挿回路のブロック図、第6図は従来のフィールド間内挿回路のブロック図、第7図は従来のフィールド間内挿回路のブロック図である。

図面における主要な符号の説明

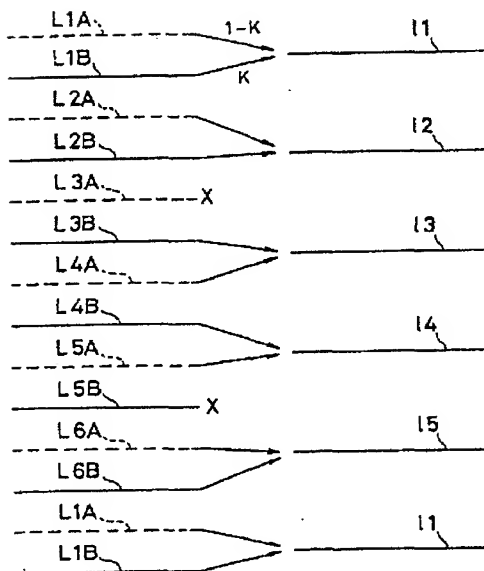
5、6、51、73、74：フィールドメモリ、
7：クロスセクタ、11、12：ライン内挿回路、
21：スイッチ回路。

代理人 弁理士 杉 浦 正 知



一実施例

第1図



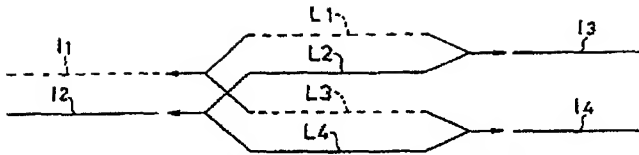
ライン数変換

第2図

内挿に用いるライン				SW3の 制 御
内挿回路11		内挿回路12		
D1	T1	D2	T2	
L1A	L1B	—	L2A	21a - 21c
L1B	L4A	L2A	L2B	21b - 21c
L4A	L3B	L2B	L5A	21a - 21c
L3B	L6A	L5A	L4B	21b - 21c
L6A	L6B	L4B	L1A	21a - 21c
L6B	L2A	L1A	L1B	21b - 21c
L2A	L2B	L1B	L4A	21a - 21c
⋮	⋮	⋮	⋮	⋮

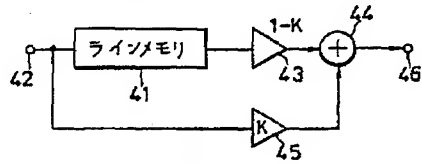
回路動作

第3図



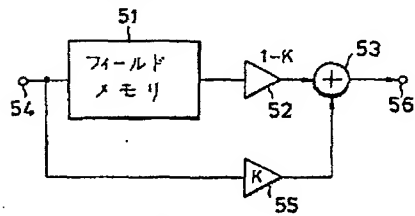
フィールド内挿とフィールド間内挿の概念

第4図



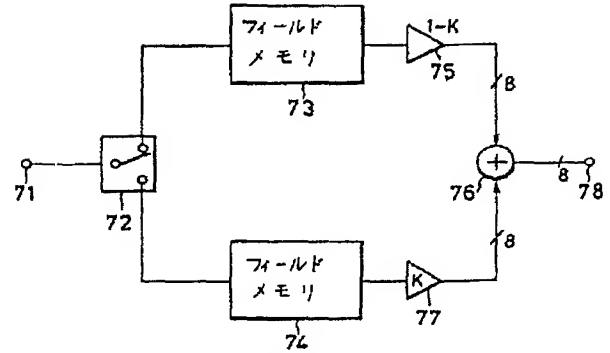
フィールド内挿回路

第5図



フィールド間内挿回路

第6図



フィールド間内挿回路

第7図